

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06266616 A

(43) Date of publication of application: 22.09.94

(51) Int. Cl.

G06F 12/08

G06F 12/00

(21) Application number: 05052526

(22) Date of filing: 12.03.93

(71) Applicant: TOSHIBA CORP

(72) Inventor: TANABE NOBORU

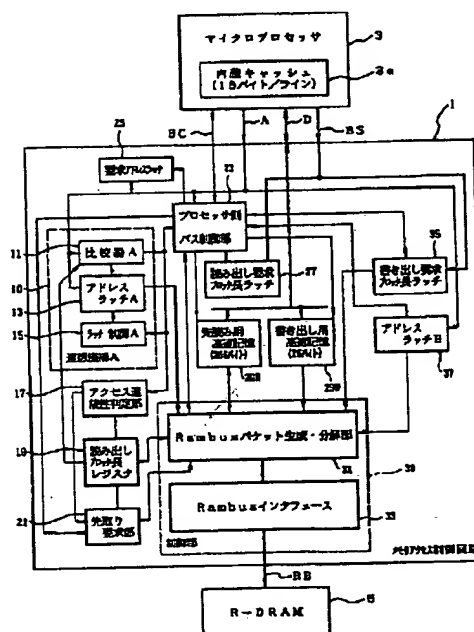
(54) MEMORY ACCESS CONTROLLER

(57) Abstract:

PURPOSE: To provide a device of high cost performance which can be applied also to an ultra parallel computer by providing an address holding means, a high speed storage means which has larger capacity than a specified value and which stores/reads data at high speed and a specified control part.

CONSTITUTION: A high speed storage for look-ahead 29R, which has capacity larger than 2^n bytes is provided in a memory access controller 1. If a high-order bit except for the low-order m-bit of an address does not coincide with the value of the address holding means, an address latch A13, for example, when a memory read request for an area which starts from the address generated from the microprocessor 3 of a master device is received, block data which is read from the memory of 2^n bytes is held in the high speed storage 29R having capacity more than 2^n bytes ($m2^n$). A processor-side control part 23 returns data stored in the high speed storage 29R to the master device when data to which memory reading is requested exists in the high speed storage 29R.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-266616

(43)公開日 平成6年(1994)9月22日

(51)Int.Cl.⁵

G 0 6 F 12/08
12/00

識別記号

5 6 2

庁内整理番号

D 7608-5B
9366-5B

F I

技術表示箇所

審査請求 未請求 請求項の数 3 O L (全 20 頁)

(21)出願番号

特願平5-52526

(22)出願日

平成5年(1993)3月12日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 田邊 昇

神奈川県川崎市幸区小向東芝町1 株式会

社東芝研究開発センター内

(74)代理人 弁理士 三好 秀和 (外1名)

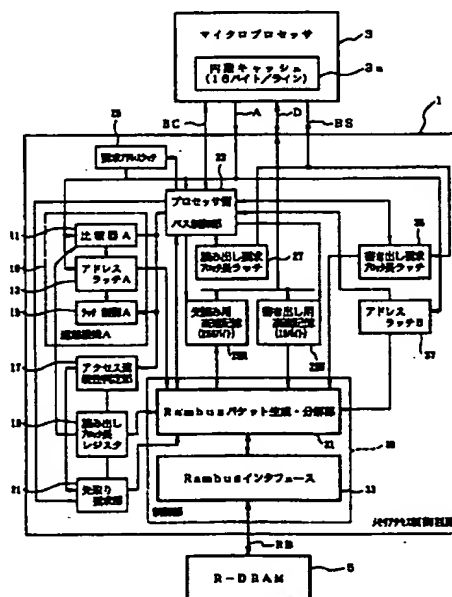
(54)【発明の名称】 メモリアクセス制御装置

(57)【要約】

(修正有)

【目的】 科学技術計算を効率的に実行できることが望まれる超並列計算機にも適用可能な、コストパフォーマンスの高いメモリアクセス装置を提供する。

【構成】 メモリアクセス制御装置は、連続アクセスに対する高速な転送バイト幅を持つメモリと、このメモリに対してアクセス要求を発生するマスタ装置との間の制御を行うメモリアクセス装置であって、アドレス保持手段と、2のn乗バイト以上の容量がありデータの記憶及び読出しの高速記憶手段と、アドレス領域に対するメモリ読みだし要求が前記マスタ装置から発生されたときに、上位ビットがアドレス保持手段に保持される値と一致しないときには、当該アドレスをアドレス保持手段に保持し、下位mビットを0にしたアドレスから連続する2のm乗バイトのデータを前記メモリから読み出して高速記憶手段に記憶し、構成される。



【特許請求の範囲】

【請求項1】 連続アクセスに対する高速な転送バイト幅を持つメモリと、このメモリに対してアクセス要求を発生するマスタ装置との間の制御を行うメモリアクセス装置であって、

アドレスを保持するアドレス保持手段と、

2の n 乗バイト以上の容量がありデータの記憶及び読出しを高速に行う高速記憶手段と、

アドレスから始まる領域に対するメモリ読みだし要求が前記マスタ装置から発生されたときに、当該アドレスの下位 m ($m \leq n$) ビットを除く上位ビットがアドレス保持手段に保持される値と一致しないときには、当該アドレスをアドレス保持手段に保持し、アドレス保持手段に保持される値の下位 m ビットを0にしたアドレスから連続する2の m 乗バイトのデータを前記メモリから読み出して高速記憶手段に記憶し、メモリ読みだし要求のあったデータが高速記憶手段に存在するときは当該高速記憶手段に記憶されるデータをマスタ装置に返送する制御部とを有することを特徴とするメモリアクセス制御装置。

【請求項2】 連続アクセスに対する高速な転送バイト幅を持つメモリと、このメモリに対してアクセス要求を発生するマスタ装置との間の制御を行うメモリアクセス装置であって、

アドレスを保持するアドレス保持手段と、

2の n 乗バイト以上の容量がありデータの記憶及び読出しを高速に行う高速記憶手段と、

アドレスから始まる領域に対するメモリ読みだし要求が前記マスタ装置から発生されたときに、当該アドレスとアドレス保持手段に保持される値との比較結果から過去のアクセスの際のアドレスの連続性を求め、この求められた連続性に応じて係数 m ($m \leq n$) の値を上下させ、当該係数 m を基に当該アドレスの下位 m ビットを除く上位ビットがアドレス保持手段に保持される値と一致しないときには、当該アドレスをアドレス保持手段に保持し、アドレス保持手段に保持される値の下位 m ビットを0にしたアドレスから連続する2の m 乗バイトのデータを前記メモリから読み出して高速記憶手段に記憶し、メモリ読みだし要求のあったデータが高速記憶手段に存在するときは当該高速記憶手段に記憶されるデータをマスタ装置に返送する制御部とを有することを特徴とするメモリアクセス制御装置。

【請求項3】 連続アクセスに対する高速な転送バイト幅を持つメモリと、このメモリに対してアクセス要求を発生するマスタ装置との間の制御を行うメモリアクセス装置であって、

アドレスを保持するアドレス保持手段と、

データの記憶及び読出しを高速に行う高速記憶手段と、前記マスタ装置から発生されたアドレスから始まる領域に対するメモリ読みだし要求のアドレスとアドレス保持手段に保持される値との比較結果から過去のアクセスの

際のアドレスの連続性を求め、メモリアクセスにおける連続性が高いと判断されるときには、高速記憶手段に記憶されるデータのアドレスに連続するアドレスに対応するデータを、マスタ装置からの要求の前にメモリに対して読み出し要求する制御部とを有することを特徴とするメモリアクセス制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は連続アクセス時に高速な転送バンド幅を持つメモリと、これに対してアクセス要求を発生するマスタ装置との間の制御をするメモリアクセス制御装置に関する。

【0002】

【従来の技術】 近年、高速アクセス可能であり、記憶容量の少ないキャッシュと、低速だが容量の大きなDRAM (Dynamic Random Access Memory) による主記憶を備える情報処理システムがRISC (Reduced Instruction Set Computer) プロセッサの普及に伴い増加している。このような情報処理システムの場合、キャッシュにヒットしているときはプロセッサは高速に動作できるものの、ミスヒットしたときにはキャッシュのリブレース動作は低速なDRAMへのアクセスとなる。そのため、ミスヒット時のペナルティを下げるがこの情報処理システムの性能向上につながる。

【0003】 特に科学技術計算のように大きな配列をなめるようにアクセスすることが多いアクセスの局所性に乏しいアプリケーションでは頻繁にキャッシュのミスヒットが発生してしまうのでミスヒット時のペナルティの軽減に対する必要性が高い。

【0004】 また、数万台規模マイクロプロセッサを用いた超並列計算機のように、外付けの大容量のキャッシュがコストや消費電力などの観点から付加することが実現性を低めてしまうシステムへのマイクロプロセッサの適用時には、ミスヒットの確率の高い小容量の内蔵キャッシュに頼らざるを得ず、ミスヒット時のペナルティ軽減に対する必要性が高い。

【0005】 そのため、従来キャッシュのリブレースが固定長の複数ワードからなるブロックデータを単位としたメモリアクセスによって行われる性質と、DRAMのニブルモードやスタティックカラムモードなどの連続アクセス時の高速性を利用したメモリアクセスプロトコルを実行可能とすることで、ミスヒット時のペナルティをある程度、軽減したシステムが存在している。

【0006】 しかし、上記のような従来のシステムでは、ミスヒットが起こった場合、必ず最初のワードがDRAMから返送されてくるまでの期間はウエイト状態となるためDRAMのアクセスタイム以下のミスヒットペナルティを実現することは不可能であった。

【0007】 さらに、通常のマイクロプロセッサに内蔵

されるキャッシュのラインサイズは、限られた容量でのヒット率の向上のためにあまり大きくできない。そのため、Rambus型DRAM（以下、単にR-DRAMと略記することもある）のように長いブロック長でアクセスしたときに大きな実質メモリバンド幅が得られる型のDRAMを使用しても、その性能を生かしきることが困難であった。

【0008】

【発明が解決しようとする課題】 上述したように、従来のシステムでは、DRAMのアクセスタイム以下のミスヒットペナルティを実現することは不可能であり、Rambus型DRAMのように長いブロック長でアクセスしたときに大きな実質メモリバンド幅が得られる新型のDRAMの性能を生かしきることが困難であった。

【0009】 本発明は、上記課題に鑑みてなされたもので、従来の欠点を軽減して、科学技術計算を効率的に実行できることが望まれる超並列計算機にも適用可能な、コストパフォーマンスの高いメモリアクセス装置を提供することを目的とする。

【0010】

【課題を解決するための手段】 第1の発明では、連続アクセスに対する高速な転送バイト幅を持つメモリと、このメモリに対してアクセス要求を発生するマスタ装置との間の制御を行うメモリアクセス装置であって、アドレスを保持するアドレス保持手段と、2の n 乗バイト以上の容量がありデータの記憶及び読出しを高速に行う高速記憶手段と、アドレスから始まる領域に対するメモリ読みだし要求が前記マスタ装置から発生されたときに、当該アドレスの下位 m ($m \leq n$) ビットを除く上位ビットがアドレス保持手段に保持される値と一致しないときには、当該アドレスをアドレス保持手段に保持し、アドレス保持手段に保持される値の下位 m ビットを0にしたアドレスから連続する2の m 乗バイトのデータを前記メモリから読み出して高速記憶手段に記憶し、メモリ読みだし要求のあったデータが高速記憶手段に存在するときは当該高速記憶手段に記憶されるデータをマスタ装置に返送する制御部とを具備することを要旨とする。

【0011】 第2の発明では、連続アクセスに対する高速な転送バイト幅を持つメモリと、このメモリに対してアクセス要求を発生するマスタ装置との間の制御を行うメモリアクセス装置であって、アドレスを保持するアドレス保持手段と、2の n 乗バイト以上の容量がありデータの記憶及び読出しを高速に行う高速記憶手段と、アドレスから始まる領域に対するメモリ読みだし要求が前記マスタ装置から発生されたときに、当該アドレスとアドレス保持手段に保持される値との比較結果から過去のアクセスの際のアドレスの連続性を求め、この求められた連続性に応じて係数 m ($m \leq n$) の値を上下させ、当該係数 m を基に当該アドレスの下位 m ビットを除く上位ビットがアドレス保持手段に保持される値と一致しない

ときには、当該アドレスをアドレス保持手段に保持し、アドレス保持手段に保持される値の下位 m ビットを0にしたアドレスから連続する2の m 乗バイトのデータを前記メモリから読み出して高速記憶手段に記憶し、メモリ読みだし要求のあったデータが高速記憶手段に存在するときは当該高速記憶手段に記憶されるデータをマスタ装置に返送する制御部とを具備することを要旨とする。

【0012】 第3の発明では、連続アクセスに対する高速な転送バイト幅を持つメモリと、このメモリに対してアクセス要求を発生するマスタ装置との間の制御を行うメモリアクセス装置であって、アドレスを保持するアドレス保持手段と、データの記憶及び読出しを高速に行う高速記憶手段と、前記マスタ装置から発生されたアドレスから始まる領域に対するメモリ読みだし要求のアドレスとアドレス保持手段に保持される値との比較結果から過去のアクセスの際のアドレスの連続性を求め、メモリアクセスにおける連続性が高いと判断されるときには、高速記憶手段に記憶されるデータのアドレスに連続するアドレスに対応するデータを、マスタ装置からの要求の前にメモリに対して読み出し要求する制御部とを具備することを要旨とする。

【0013】 また、望ましくは第1の発明のメモリアクセス制御装置は、書き込み要求受信時にマスタから受信するデータを格納する高速記憶手段を読みだし要求受信時に用いる高速記憶手段とは別に具備するものである。

【0014】 また、望ましくは第1の発明のメモリアクセス制御装置は、マスタ装置のキャッシュラインサイズより大きな容量の高速記憶手段を具備し、マスタ装置からのブロック読みだし要求時の要求データ長より長いブロックデータを高速記憶手段に読み出すことを可能とするものである。

【0015】 また、望ましくは第1の発明のメモリアクセス制御装置は、読みだしに用いられる高速記憶手段とアドレスラッチと比較器の組を複数系統具備するものである。

【0016】 さらに、望ましくは第1の発明のメモリアクセス制御装置は、連続アクセス時に高速なメモリとしてRambus型DRAMを使用し、 m に応じたデータ長を要求するパケットヘッダー付加部と、 m を0以上 \log_2 (Rambusのパケット最大データ長) 以下に制御する制御部を具備するものである。

【0017】

【作用】 第1の発明では、マスタ装置から発生されたアドレスから始まる領域に対するメモリ読みだし要求を受信した時に、上記アドレスの下位 m ビットを除く上位ビットがアドレス保持手段、例えばアドレスラッチの値と一致しなかった場合、2の n 乗バイト以上の容量をもつ高速記憶手段を具備し $m \leq n$ であるので、2の n 乗バイトのメモリから読み出されるブロックデータをこの高速記憶に保持することができる。このメモリシステムは連

続アクセス時に高速な転送バンド幅を持つメモリと、高速な連続メモリアクセス手順を実行可能な制御部を具備するので m が大きいほど実質的なメモリバンド幅が向上する。2の m 乗バイトのブロック長がマスタ装置に内蔵されるキャッシュのラインサイズより長く、かつメモリアクセスの連続性が高い場合は後続の読みだし要求でアクセスされるデータが先行する読みだし要求により高速記憶に先取りされていることになるので、外部のDRAMのアクセスタイムを持つことなくマスタ装置にデータを供給できるようになる。先取りされているか否かは先取りに用いられたアドレスがアドレスラッチに保持されているので、この上位ビットが現在のアクセス要求のアドレスの上位ビットと一致するかを比較することにより判定できる。

【0018】第2の発明では、さらにアドレス保持手段、例えばアドレスラッチの値と受信したアドレスの比較結果から得られる過去のアクセス時のパターンのアドレスの連続性に応じて状態を変え、この状態値をもとに m の値を上下させるメモリアクセスブロック長制御部を具備するので、アクセスの連続性の高いときはブロックサイズを大きくして実質転送バンド幅を向上させ、アクセスの連続性の低いときはブロックサイズを小さくして無駄なデータの先取りにかかる転送時間を抑制することができる。

【0019】第3の発明では、さらにメモリアクセスブロック長制御部がアクセスの連続性が高いと判断している状態では、高速記憶に格納されているブロックの直後のアドレスに位置するブロックを、マスタ装置からの要求を受信する前にメモリに対して読み出し要求を発生する先取り要求部を具備するので、アクセスの連続性の高いときは高速記憶にマスタ装置が要求するデータブロックが存在する確率が高くなるので、高速記憶の容量の限界により生じるブロックの継ぎ目におけるアクセス遅延を隠ぺいすることができる。

【0020】第4の発明では、書き込み要求受信時にマスタから受信するデータを格納する高速記憶を読みだし要求受信時に用いる高速記憶とは別に具備するので、読みだしブロックと書き込みブロックが異なる高速記憶に記憶されるので、読み書きが交互に行われる場合において先取りデータがフラッシュされてしまうことを排除できる。マスタ装置にある程度の容量のキャッシュが内蔵される場合はマスタ装置の内蔵キャッシュに読み込まれたブロックはすぐにリブレースされることは少ないので読みだし用と書き込み用に高速記憶を分けることの効果が大きい。

【0021】第5の発明では、マスタ装置のキャッシュラインサイズより大きな容量の高速記憶を具備しているのでメモリからマスタ装置のキャッシュラインサイズより大きなブロックデータを読み込むことができ、マスタ装置におけるキャッシュのミスヒットが連続した領域に

渡って生じた場合、後続するリブレース動作において高速記憶から読み出すことができる。また大きなブロックデータをメモリから読み出すことができるので実質メモリバンド幅が上昇する。

【0022】第6の発明では、読みだしに用いられる高速記憶とアドレスラッチと比較器の組を複数系統具備するので、複数の領域に対する連続アクセスストリームが並行して存在する場合に先取りしたデータを他のストリームによってフラッシュされてしまうことを起こり難くすることができる。

【0023】第7の発明では、連続のアクセス時に高速なメモリとしてRambus型DRAを使用するので、アクセスタイムは遅いが2nsピッチでデータが転送されるので、他のタイプのDRAMに比べて多めに先取りしても余分な先取りに消費される転送時間が短く、アクセスブロック長をマスタに内蔵されるキャッシュのラインサイズより長くとることができる第1の発明との相性が良い。 m に応じたデータ長を要求するパケットヘッダ付加部と、 m を0以上 \log_2 (Rambusのパケット最大データ長) 以下に制限する制御部を具備させることによりRambusの仕様を逸脱する不正に長いブロック長を有するパケットを生成してしまうことが防止される。

【0024】

【実施例】以下に本発明の実施例を説明する。

【0025】図1は本発明に係るメモリアクセス制御装置を用いたプロセッサシステムの第1の実施例を示した図である。本実施例では比較的小容量の内蔵キャッシュを有するマイクロプロセッサ3とRambus型DRAM (以下、単にR-DRAMとも略記する) 5の間に本発明を適用したメモリアクセス制御装置を配置している。

【0026】このメモリアクセス制御装置1は、例えば図2に示すような多数のプロセッシングエレメント (以下、単にPEと略記する) がプロセッサ間結合網PNで接続される超並列計算機に適用する場合は、図3に示すようにプロセッサ間の通信を制御するための通信制御回路130とメモリアクセス制御装置120が一体となつて一つのコプロセッサ101を形成する場合が典型的と思われる。また並列計算機専用のマイクロプロセッサ103においては上記のコプロセッサ101とメインのマイクロプロセッサ103が1チップ化されるならばより望ましい。

【0027】また、このメモリアクセス制御装置がマイクロプロセッサチップに取り込まれてR-DRAMを直結できるチップを構成し、低価格なパーソナルコンピュータや機器への組み込み用途における性能向上に応用される場合も想定できる。

【0028】なかでも本発明に係るメモリアクセス制御装置の代表的な応用システムである超並列計算機は、近

年マイクロプロセッサの目ざましい進歩によりベクトル型スーパーコンピュータでは達成不可能な性能領域の実現のための最も有力なアプローチと見られており、特に大規模な科学技術計算に対するニーズが明確である。

【0029】ところが、科学技術計算は大きく配列データに対して全体をなめるように演算を行う性質（データ参照の非局所性）が強く、キャッシュの容量を越える配列を扱うとヒット率の低下を引き起こし、マイクロプロセッサの本来の性能を引き出せなくなってしまう。

【0030】また1TFLOPS以上の性能カバーするようなクラスの超並列計算機は100MFLOPS程度のマイクロプロセッサが実現可能な現在では、PE数は一万以上の大規模なものとならざるをえず、PEはコスト・消費電力・信頼性の観点からDRAMを含めて十チップ程度以下の少数のVLSIから構成されることが望ましい。よってこのクラスの超並列計算機に各PEにDRAMによる主記憶の他に、図18に示すような従来の典型的な高性能マイクロプロセッサ利用システムのように、高価で消費電力の高い高速SRAMを外付けして実現される2次キャッシュを搭載することは実現性が低いと言わざるを得ない。

【0031】以上のような観点から、特に1TFLOPS以上のクラスの超並列計算機においては外付けのキャッシュを用いずに、内蔵キャッシュのミスヒットが多発する科学技術計算を高速化可能なメモリーキテクチャを必要としており、本発明はこのような応用に対して適するものである。

【0032】大規模な科学技術計算を通常のマイクロプロセッサで行う場合はキャッシュのミスヒット（キャッシュラインの主記憶とのリプレース）は不可避であり、必ず主記憶に対して頻繁なアクセスが生じる。ゆえに、このリプレース動作のオーバーヘッドを短縮することと、実質的な主記憶バンド幅を高く保つことが重要になる。

【0033】近年の高性能なマイクロプロセッサには、殆ど例外無く、1次キャッシュを内蔵しており、通常限られた容量でのキャッシュのヒット率を高くするためにキャッシュラインのブロック長は16～32バイト程度で抑えられている。つまりキャッシュ可能領域をアクセスしている場合はミスヒット時のリプレース動作のたびに16～32バイト程度の短いブロックに対する連続アクセスが発生する。

【0034】一方、超並列計算機のPEのように、少ないチップ数のDRAMからなる主記憶のメモリにおいて、バンド幅を100MFLOPSのクラスのマイクロプロセッサの性能とバランスが崩れないようにするためには、150ns程度のサイクルタイムを持つ典型的なDRAMの通常アクセスモードの使用は、8bit幅のチップを用いたとしても、7MB/chip程度のバンド幅しかないので、インターリーブ方式を用いた構成と

してもチップ数の観点から無理がある。

【0035】ある典型的な4Mbitの高速ページモード付きDRAMではRASアクセス遅延時間80ns、高速ページモードサイクル時間が50nsであるので、これをインターリーブせずに用いて64ビット幅データバスを構成し、16～32バイトのブロックアクセスをさせると図19に示されるようなタイムチャートでメモリアccessが行われ、89～114MB/のメモリバンド幅が得られることになる。しかし、これは64ビット浮動小数演算に換算して11～15MFLOPS程度の性能を維持するバンド幅に過ぎない。

【0036】従って、チップ数に限りのあるシステムでは、連続アクセスをした場合のチップそのものの転送バンド幅が、高いRambus型DRAM(500MB/s/chip)や同期型DRAM(100MB/s/chip)を使用することが望ましい。

【0037】ところが本実施例のようにRambus型DRAMを用いるとすると、リードアクセス要求パケットが出力されてから最初の1バイトが返送されてくるまでに、例えばある典型的な4.5MbitのR-DRAMではメモリに内蔵されるセンスアンプキャッシュがミスヒットした場合220ns、ヒットした場合48nsのアクセス遅延がかかることになる。

【0038】このため上記のようなマイクロプロセッサ内蔵キャッシュのミスヒット時の16～32バイト程度の短いアクセスでは、これを図20に示したタイムチャートのようにブロックアクセスしても、2nsごとに1バイトの転送が行われているにもかかわらず、センスアンプキャッシュがミスヒットすると最大転送バンド幅の1～2割程度の性能の63～112MB/sしか得られない。センスアンプキャッシュがヒットしても最大転送バンド幅の五割程度の性能の200～285MB/sに止まる。

【0039】つまり単純にRambusを用いただけでは従来の通常DRAMを用いたブロックアクセスをサポートするシステムのメモリバンド幅の2倍程度にとどまり、64ビット浮動小数演算に換算して30MFLOPS程度の演算性能を維持するバンド幅に過ぎない。

【0040】以下、図1を参照して第1の実施例について説明する。まず、構成を説明する。マイクロプロセッサ3は、16バイト/ラインのキャッシュ3aを内蔵する。また、メモリアccess制御装置1は、比較器A11とアドレスラッチ13とラッチ制御A15によって構成される連想機構A10を備える。この連想機構A10は、アクセス連続性判定部17を介して読み出しブロック長レジスタ19と先取り要求部21と接続され、さらにプロセッサ側バス制御部23と接続される。このプロセッサ側バス制御部23は、要求アドレスラッチ25、読み出し要求ブロック長ラッチ27を介して書き出し要求ブロック長ラッチ35と、また高速記憶29（先読み

用高速記憶29R、書き出し用高速記憶29w)と制御部30(Rambusパケット生成・分解部31、Rambusインターフェース33)およびアドレスラッチ37等と接続される。

【0041】すなわち、本実施例ではメモリアクセス制御装置1内に、例えばSRAMで構成される先読み用の高速記憶29Rを設けている。この高速記憶29Rの容量はマスタ装置であるマイクロプロセッサに内蔵されるキャッシュの1ライン分(例えば典型的な値として16バイトとする)より大きなものを用意し、本実施例では

10 Rambusの一回のアクセスで処理できる最大のデータ長である256バイトの先読み用高速記憶29Rを用意する。

【0042】以下ではまずマスタ装置からの読みだし要求に対する基本的な動作手順を述べるが、これをまとめると図4のような手順となる。

【0043】まず、ステップS1において、マスタ装置のマイクロプロセッサ3からのアクセス要求すなわちアドレスとブロック長は、プロセッサ側バス制御部の制御のもとで、要求アドレスラッチ25と読みだし要求の場合

20 は読みだし要求ブロック長ラッチ27、書き出し要求の場合は書き出し要求ブロック長ラッチ35にそれぞれ保存される。これらのブロック長は通常マイクロプロセッサ3のキャッシュ3aの1ラインのバイト数(ここでは16バイト)を越えることはない。

【0044】先読み用高速記憶29Rにブロックデータがメモリより読み込まれる場合は、そのブロックを指定する上位アドレスがラッチ制御A15によって制御される

30 アドレスラッチA13に保持される。

【0045】初期状態においては読みだしブロック長レジスタ19は、例えばマイクロプロセッサ3の内蔵キャッシュ3aの1ラインのバイト数の2倍の値を示すようになり、ミスヒットによって発生する読みだしアクセス要求およびアドレスをマイクロプロセッサ3から受信すると、ステップS3において比較器A11はアドレスラッチA13の値と要求アドレスラッチ25に保持されたマイクロプロセッサ3が出力したアドレスの上位ビットとを比較する。

【0046】ここで比較される上位ビットとは、例えば32ビットのアドレスがマイクロプロセッサ3から出力され、読みだしブロック長レジスタ19にセットされている値が32バイト(アドレス5ビット分)を示すならば上位27ビットということになる。

【0047】最初のアクセスでは不一致を起こし、そのアドレスがアドレスラッチA13にラッチされ(ステップS5)、読みだしブロック長レジスタ19の値が示す長さ(ここではキャッシュライン長の2倍の32バイト)のデータを要求するパケットをRambusパケット生成・分解部31が生成し、Rambusインターフェース部33を介してR-DRAM5に送信する。

【0048】R-DRAM5のアクセス遅延時間(センスアンプキャッシュがミスヒットした場合は220ns)が経過するとR-DRAM5から読み出しデータパケットが返送され、Rambusインターフェース33、Rambusパケット生成・分解部31を介して、先読み用高速記憶29Rに格納される。

【0049】次にプロセッサ側バス制御部23は、ステップS13で先読み高速記憶29R上のデータの中でマイクロプロセッサ3から先だてて要求されたデータ長(キャッシュ3aの1ライン分の16バイト)のデータをマイクロプロセッサ3に返送する。

【0050】次に再びミスヒットが生じて読みだし要求がマイクロプロセッサ3より出力されたときは、アドレスラッチA13のアドレスの上位ビットとマイクロプロセッサ3が出力したアドレスの上位ビットをステップS3で比較器A11によって比較される。これが一致するとステップS11で先読み用の高速記憶29R内に対応するブロックが先読みされていることをプロセッサ側バス制御部23は認識し、R-DRAM5へのトランザクションを発生しなくても即座にマイクロプロセッサ3に要求されたブロックを返送することができ、ミスヒットのペナルティが大幅に改善される。

【0051】図5にRambus DRAM5を用いて先読みをしない場合のタイムチャートを示し、図6にRambus DRAM5を用いて16バイトの先読みをする(つまり32バイトのブロックアクセスをする)場合のタイムチャートを示す。両者の違いは応答データ2の返るタイミングの違いより明らかである。

【0052】なお図5では読みだし要求1のアドレスと書き出し要求アドレスが別チップのR-DRAMに対応して読み出し要求1のブロックを含むR-DRAM内部のセンスアンプキャッシュが書き出し要求2により破壊されなかったことにより、読みだし要求2がセンスアンプキャッシュヒットにより48nsで読み出された場合を示したが、書き出し要求2がこれを破壊した場合は48nsではなく220nsのアクセス遅延がかかることになるため、応答データ2の返るタイミングはさらに遅れることになる。

【0053】一方、先読みをした場合は2回目のアクセス要求受信時にアドレスラッチAのアドレスの上位ビットとマイクロプロセッサが出力したアドレスの上位ビットが不一致だった場合は、1回目の不一致時に読み出した32バイトのうちの32バイトが無駄になったことになるが、Rambus DRAM5の所要時間は最初から16バイトのみ読み込んだ場合が252nsであるのに対し、32バイトを読み込むと所要時間は284nsとなり16バイト分の32nsの無駄をしただけですむので、Rambus DRAM5を用いた場合は先読み失敗時の損害が少なく済む。また次のアクセス要求が間髪入れずに起こらない場合は、Rambusの空き時間が

先読みに使用されることになるので無駄な先読みをしたことへのマスタへの影響が全くない場合もある。

【0054】上記の説明では16バイトの内蔵キャッシュラインを持つ場合にその2倍の32バイトのブロックメモリアクセスを行う場合について説明したので、256バイト用意した先読み用高速記憶が部分的にしか使われていない。

【0055】次に、残った先読み用高速記憶を効果的に利用するための機構について説明する。本実施例ではアクセス連続性判定部を備えており、このアクセス連続性判定部は比較器A11からの比較結果を監視していて、過去の比較結果に応じて状態を変える。

【0056】つまりマイクロプロセッサ3からの読みだし要求アドレスと先読み高速記憶29Rに格納されているブロックのアドレスの一致を示す信号が頻繁に発生するときはアクセスの連続性が強い動作状態であり、逆に不一致を示す信号が頻繁に発生するときはアクセスの連続性が弱い状態と判断する。

【0057】アクセスの連続性が強い時は読みだしブロック長を長くしたほうがRambus DRAM5への読みだし要求データ長を長くでき、アクセス遅延を生じさせる原因となるアクセス回数を減らし、さらに先読み高速記憶がヒットして即座にマイクロプロセッサに応答が返る確率が高くなる。

【0058】例えば、読みだしブロック長を256バイトとした場合はセンスアンプキャッシュがミスヒットした場合でも350MB/sの実質転送速度が得られ、ヒットした場合は457MB/sという高い転送速度が実現できる。

【0059】連続アクセスを行っている場合でマイクロプロセッサ3の内蔵キャッシュラインが16バイトならば、16回につき15回のリプレース時に高速記憶29Rから即座に要求ブロックの返送が起こり先読みが当たった時の効果は大きい。

【0060】しかし常に読みだし要求ブロック長を可能な限り長く（例えばRambusパケットの最大データ長256バイト）すれば良いというものではなく、アクセスの連続性が弱くマイクロプロセッサ3の内蔵キャッシュ3aのリプレース時の読みだしブロックが直前にブロックから離れた場所であるならば、先読みしたデータは無駄になり、無駄なデータは転送にかかる時間が無駄になる。

【0061】例えば256バイトで常にメモリから読みだし、これらが無駄になった場合は240バイト分の480nsの無駄となり、このような長さではマスタ装置からの他のメモリアクセス要求が待たされる危険が高く時間的損害が大きい。ゆえにランダムにアクセスするような実行状況では読みだしブロック長を短く（例えば16バイトに）したほうが良い。

【0062】よって実施例においてはアクセス連続性判

定部17がアクセスの連続性が高いと判断したときは読みだしブロック長が大きな値となり、アクセスの連続性が低いと判断した時は読みだしブロック長が小さな値となるように制御される。

【0063】通常のキャッシュは1ラインのブロック長が固定であるのに対し、メモリへの読みだしブロック長を動的に制御不可能であるが、本発明は動作状態に適応して適切な読みだしブロック長を実現し、メモリバンド幅の効率的使用を行うことができる。

【0064】つまり、マスタ装置のマイクロプロセッサ3のキャッシュ3a自体にプリフェッチの機能が備わっていたり、プリフェッチを促す命令を備えていたとしても、それだけではメモリアクセスを行うデータブロック長が固定なので、たとえR-DRAMや同期型DRAMのように連続アクセス時に高度な転送バンド幅を有するメモリを用いても、実際に獲得できるバンド幅はデータブロック長の短さにより低く固定される。

【0065】これに対し本発明はプリフェッチに関する機能を備えたマイクロプロセッサに対してもメモリバンド幅を向上させる効果がある。また特殊な命令の新設を必要としないので、プリフェッチを促す命令がないマイクロプロセッサにも適用できる汎用性のある技術である。

【0066】上記までの説明ではメモリアクセス制御装置自体が発生するメモリへのプリフェッチトランザクションについては述べられていないが、本実施例では、そのような自発的なプリフェッチを併用しており、マスタ装置からの要求を受信する前にメモリに対して読み出し要求が発生する先取り要求部21を具備している。

【0067】この先取り要求部21はメモリアクセスブロック長制御部がアクセスの連続性が高いと判断しているか否かを、読みだしブロック長レジスタ19に設定されている値や現在高速記憶に先読みされているブロックのヒット状況から知り、この情報を元に連続性が高いと判断される場合は、高速記憶のデータをマスタ装置への転送完了を受けて高速記憶中にあったブロックの直後のアドレスに位置するブロックをメモリから読み出す要求が発生する。

【0068】つまりアクセスの連続性の高い状態では、高速記憶29RにRambus DRAM5の最大データ長などの原因により先取りしきれなかった後続するブロックに対して、やがてマスタ装置から読み出しの要求が来る確率が高いので、マスタ装置から要求が来る前にメモリに要求を出しておけば、読みだしブロックの切れ目でのマスタ装置への応答高速化することができる。

【0069】図7は図6に示した動作のしばらく後に3回目のミスヒットがマスタ装置で起こった場合に能動的に先読みを行わない場合のタイムチャートであり、図8は図6に示した動作のしばらく後に3回目のミスヒットがマスタ装置で起こった場合に能動的な先読みを行う場

10

20

30

40

50

合のタイムチャートである。

【0070】図7の場合は2回目のRambus DRAM5への書き込みと3回目の書き込みの間にアイドルタイムができてしまい、さらに3回目の読みだし要求への応答がメモリアクセス遅延がかかってしまうので遅れるが、図8ではこのアイドルタイムに能動的先読みをしているのでRambus DRAM5が有効に利用され、3回目の読みだし要求への応答が先読み高速記憶から即座に行われるので32バイトずつしか高速記憶に読みだしていないにもかかわらず、切れ目無く先読み用高速記憶29Rから読みだしているようにマスタから見えるようになる。

【0071】以上の説明ではメモリからの読みだしに対する動作を述べたが、以下にメモリへの書き込みに対する動作を説明する。本実施例では図1に示されるように先読み用高速記憶29Rの他に書き出し用の高速記憶29Wを具備している。

【0072】本実施例では書き出し用高速記憶29Wはマスタ装置であるマイクロプロセッサ3のキャッシュラインサイズに等しい16バイトの容量を持たせている。

【0073】この書き出し用高速記憶29Wはキャッシュラインリプレース要求発生時などにマスタ装置からの書き込みデータをメモリに書き込む前に一旦記憶して、速やかにマスタ装置とメモリアクセス制御装置間のバスを開放させ、引き続き読みだし要求を速やかにメモリアクセス制御装置に伝えさせることを促進する。

【0074】先読み用高速記憶29Rと書き出し用高速記憶29Wを兼用にすると、書き出しデータによって先読みしたデータがつぶされる可能性があり、先読みの効果が薄くなってしまう。

【0075】例えば図9に示すように高速記憶29R上にアドレス&1000番地から始まる32バイトが読み込まれていたとして、続いて&2000番地へ16バイトの書き込みが発生した場合、先読み用高速記憶29Rと書き出し用高速記憶29Wを兼用にすると、図10に示すように高速記憶29Rに&2000番地から始まる16バイトが書き込まれるとアドレスラッチA13の値が&1000から&2000番地に変わってしまい、先読みデータのアドレスを知る手段が無くなることにより先読みデータは無効になってしまう。

【0076】一方、本実施例のように読み用と書き出し用に高速記憶29を分離しておく、マスタ装置からのデータが書き込まれる場所を指定するもの（つまりアドレスラッチB）とメモリから読み出されたデータが書き込まれる場所を指定するもの（つまりアドレスラッチA13）は別になるので、図11及び図12のように先読みデータを無効化してしまうことなしに書き込みのバッファリングができる。

【0077】ところが上記のように先読み用と書き出し用に高速記憶29を分離した場合は、先読みと書き出し

はマスタの読み出しのタイミングの前後関係によってマスタ装置に返される値が異ならないようにする必要が生じる。

【0078】本実施例では図13のようにマスタ装置からメモリアクセス制御装置の書き込み用高速記憶29Rに書き出した直後にそのデータを読み出す場合に、例えば&1000から始まるデータXのメモリ読み出しの際に&1010から始まるデータYを先読みした後にマスタより&1010にデータZが書き出され、その直後に&1010への読み出し要求がマスタより出されたならば、最新のデータであるデータZが返されるのが正しく、古いデータYを返してしまつては誤りである。

【0079】このように本実施例ではメモリに対して書き終わった場合と書き終わっていない場合のマスタ装置に返されるデータに不一致が起こらないようにするために、図14のように先読み用高速記憶29R上のデータブロックに対するアドレスへの書き出しがマスタ装置より発生した場合は、連想構想A10が検出してプロセッサ側バス制御部23に通知し、先読み用高速記憶29Rと書き出し用高速記憶29Wの両方に書き込む。

【0080】先読み用高速記憶29R側にも最新の値を書きしておくことにより、複数回書き出された後に先読み用高速記憶29R上にある更新される前のデータがマスタからの読み出し要求に応答してメモリ上の最新データとは違うデータを渡してしまうことを防止し、遅延時間の大きなメモリアクセスを行わずに書き出し用高速記憶29Wからの高速な応答をマスタ装置に返すことができる。

【0081】以上の説明は先読み用高速記憶29Rと書き出し用高速記憶29Wをそれぞれ一つずつ具備する例について述べたが、以下ではこれらが複数になる場合について説明する。

【0082】図15は本発明にかかるメモリアクセス制御装置を用いたプロセッサシステムの第2の実施例を示した図である。

【0083】第1の実施例との違いは、図16のような読み出し用高速記憶351とアドレスラッチ353と比較器355とメモリ読みだしブロック長ラッチ357と先読みデータ有効フラグ359の組からなる読み出しバッファ部35と、図17のような書き出し用高速記憶371とアドレスラッチ373と書き出し要求ブロック長ラッチ375と書き出しデータ有効フラグ377の組からなる書き出しバッファ部37を、それぞれ複数系統具備している点にある。

【0084】プロセッサ側バス制御部23Aは、プロセッサ3からの読み出し要求受信時にはアドレス比較結果信号が一致状態になっている1つの読み出しバッファ35から読み出し、書き出し要求受信時には書き出しデータ有効フラグ377が空状態になっている書き込みバッファ37を1つ選択しデータを書き込む。

10

20

30

40

50

【0085】もし本実施例と異なり第1の実施例のように読み出しバッファ35を複数具備しないと、例えばC(i) = A(i) + B(i) のような配列の加算などのように、短期的に複数の配列からデータを読み出して演算するような処理を行うとき、1つの配列Aに対応するメモリブロックを先読みしても後続する別の配列Bに対応するメモリアクセスにより先読みはデータAが破壊されるという危険が高い。

【0086】また科学技術計算においては余り大きな影響はないことが多いが、命令キャッシュのミスヒットが起りやすいプログラムでは命令フェッチに伴うメモリ読み出しにより先読みデータが破壊されることもある。

【0087】しかし本実施例では複数(4個)の読み出しバッファ35A, 35B, 35C, 35Dを具備するので、4本の独立した読み出しデータ流が短期的に読み出しバッファ内に共存できる。よって先読みしたデータが破壊されず有効にプロセッサに渡される可能性が高まっている。

【0088】上述したように、本発明は小容量の内蔵キャッシュを有する演算能力の高いマイクロプロセッサを外付けの大容量キャッシュを用いることなく、内蔵キャッシュのミスヒットペナルティを大幅に削減することができるため、少ないハードウェア量でマイクロプロセッサが持つ本来の高い性能を引き出すことができるものである。

【0089】特に科学技術計算のように複数の大きな配列をなめるようにアクセスすることが多いアクセスの局所性に乏しいアプリケーションでのミスヒット時のペナルティの軽減の効果が高い。

【0090】また本発明を適用すればアクセスの連続性が乏しい場合は適応的にメモリアクセスブロック長を短くして余計な先読みが抑制されるので、科学技術計算以外のアプリケーションに対する副作用が排除されている。

【0091】従来はキャッシュのミスヒットが起こった場合に必ず最初のワードがDRAMから返送されてくるまでの期間はウェイト状態となるためDRAMのアクセスタイム以下のミスヒットペナルティを実現することは不可能であったが、本発明では先読みが成功した場合はDRAMのアクセス遅延に関わらず即座に応答を返すことができる。

【0092】また通常のマイクロプロセッサに内蔵されるキャッシュのラインサイズは限られた容量でのヒット率の向上のためにあまり大きくできず、Rambus型DRAMのような長いブロック長でアクセスしたときに大きな実質メモリバンド幅が得られる新型のDRAMの性能を生かしきることが困難であったが、本発明によればアクセスの連続性が高ければブロック長が適応的に長くなるのでRambusDRAMの高い転送バンド幅を生かすことができる。

【0093】以下のような効果が大容量の外付けキャッシュなしにプロセッサ間通信制御を行うLSIに内蔵できる程度のわずかなハードウェアの追加により実現できるので、1TFLOPSを越えるような領域の性能を達成する超並列計算機が、現実的なコストで実現可能となる。

【0094】本発明の効果は超並列計算機に限られず、小型化や低消費電力化や低コスト化が要求されるマイクロプロセッサ応用製品全てに適用可能であり、これらコストパフォーマンス向上に大きく寄与する。

【0095】また内蔵キャッシュを持たないマイクロプロセッサや、外付けキャッシュを持つシステムや、既に先取り機能を有するマイクロプロセッサを利用するシステムにおいて本発明を適用しても、メモリアクセス遅延を隠ぺいする効果などが得られる。

【0096】

【発明の効果】以上説明したように、本発明は小容量の内蔵キャッシュを有するマイクロプロセッサを外付けの大容量キャッシュを用いることなく、内蔵キャッシュのミスヒットペナルティを大幅に削減することができる等の効果を奏するものである。

【図面の簡単な説明】

【図1】本発明に係るメモリアクセス制御装置を用いたプロセッサシステムの第1の実施例を示したブロック図である。

【図2】超並列計算機の概略的構成を示したブロック図である。

【図3】プロセッサ間の通信制御するための回路とメモリアクセス制御装置が渾然一体となった1つのコプロセッサLSIを含む超並列計算機のプロセッシングエレメントの概略的構成を示すブロック図である。

【図4】マスタ装置からの読みだし要求に対する基本的な動作手順を示すフローチャートである。

【図5】Rambusを用いて先読みしない場合のキャッシュリブレース時のタイムチャートである。

【図6】Rambusを用いて16バイトの受動的な先読みをする場合のキャッシュリブレース時のタイムチャートである。

【図7】図6に示した動作のしばらく後に3回目のミスヒットがマスタ装置で起こった場合に能動的な先読みを行わない場合のタイムチャートである。

【図8】図6に示した動作のしばらく後に3回目のミスヒットがマスタ装置で起こった場合に能動的な先読みを行う場合のタイムチャートである。

【図9】高速記憶上に32バイトが読み込まれている状態を示した図である。

【図10】先読み用高速記憶と書き出し用高速記憶を兼用にした時の先読みデータが無効になる場合を示した図である。

【図11】先読み用高速記憶と書き出し用高速記憶を分

離すると図10と同様なアクセスが起こっても先読みデータが無効にならないことを示した図である。

【図12】先読み用高速記憶と書き出し用高速記憶を分離すると図10と同様なアクセスが起こっても先読みデータが無効にならないことを示した図である。

【図13】マスタ装置からメモリアクセス制御装置の書き込み用高速記憶に書き出した直後にそのデータを読み出す場合に古いデータを返すことによる誤り動作の例を示す図である。

【図14】マスタ装置からメモリアクセス制御装置の書き込み用高速記憶に書き出した直後にそのデータを読み出す場合に新しいデータを返すことによる正しい動作の例を示すブロック図である。

【図15】本発明にかかるメモリアクセス制御装置を用いたプロセッサシステムの第二の実施例を示したブロック図である。

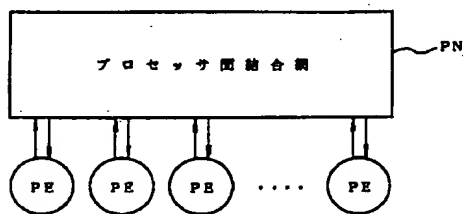
【図16】図15に示すメモリアクセス制御装置内の読み出しバッファ部の構成を示したブロック図である。

【図17】図15に示すメモリアクセス制御装置内の書き出しバッファ部の構成を示したブロック図である。

【図18】従来の典型的な高性能マイクロプロセッサ利用システムの構成を示すブロック図である。

【図19】DRAMの高速ページモードによるブロックアクセスを利用した従来のキャッシュリプレース時のタ

【図2】



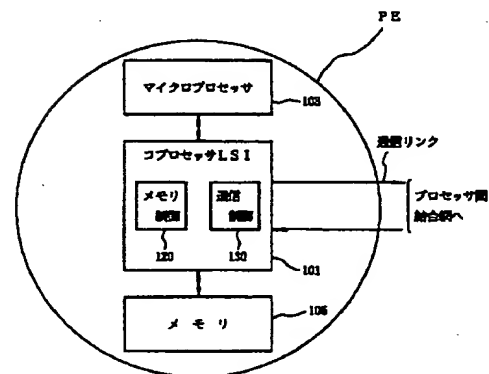
イムチャートである。

【図20】Rambus型DRAM (R-DRAM) を用いた場合のキャッシュリプレース時のタイムチャートである。

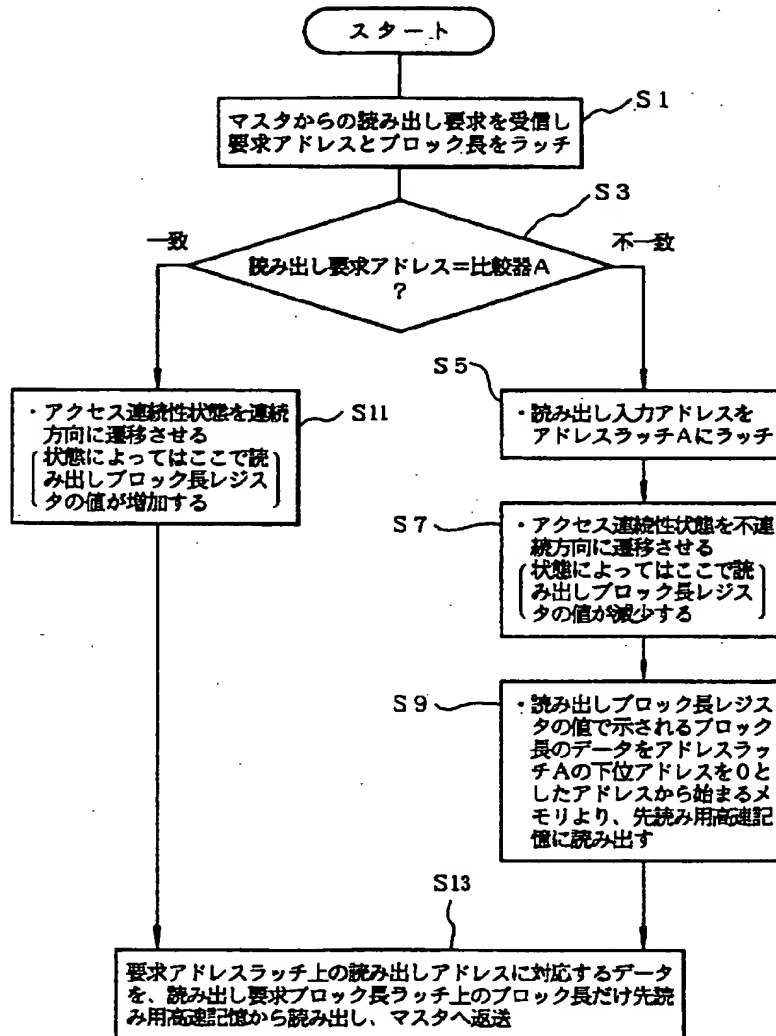
【符号の説明】

- 1 メモリアクセス制御装置
- 3 マイクロプロセッサ
- 5 Rambus DRAM
- 10 連想機構A
- 11 比較器A
- 13 アドレスラッチ
- 15 ラッチ制御A
- 17 アクセス連続性判定部
- 19 読み出しブロック長レジスタ
- 21 先取り要求部
- 23 プロセッサ側バス制御部
- 25 要求アドレスラッチ
- 27 読み出し要求ブロック長ラッチ
- 29 高速記憶
- 30 制御部
- 31 Rambus パケット生成・分解部
- 33 Rambus インタフェース
- 35 書き出し要求ブロック長ラッチ
- 37 アドレスラッチ

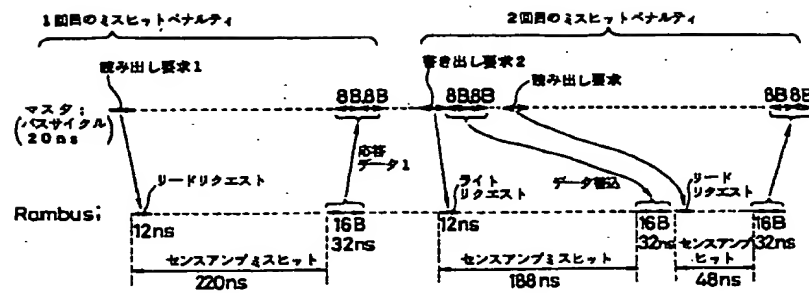
【図3】



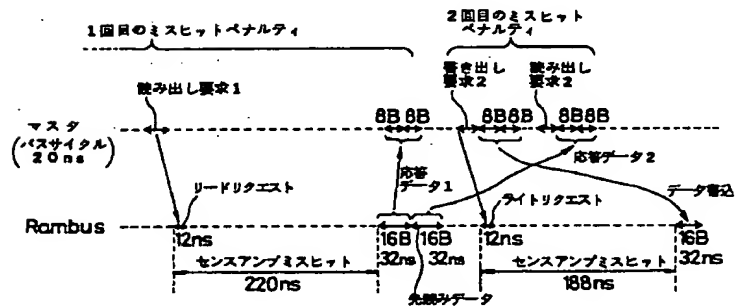
【図4】



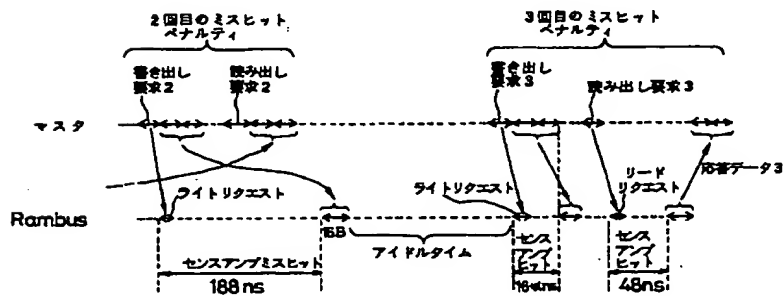
【図5】



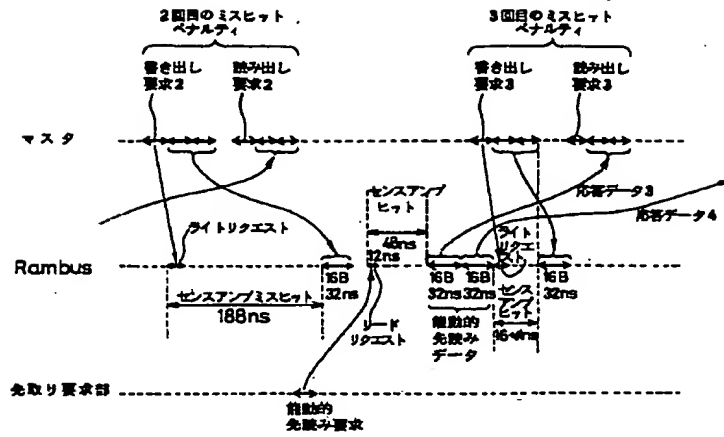
【図6】



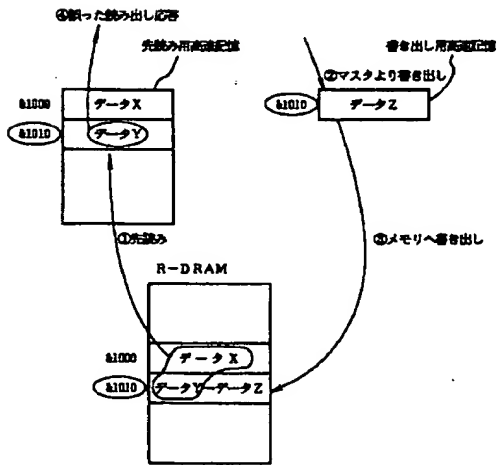
【図7】



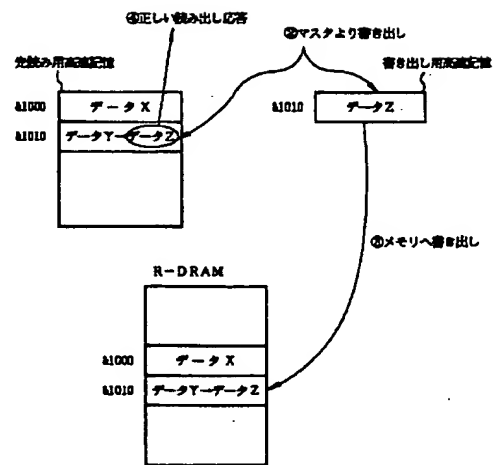
【図8】



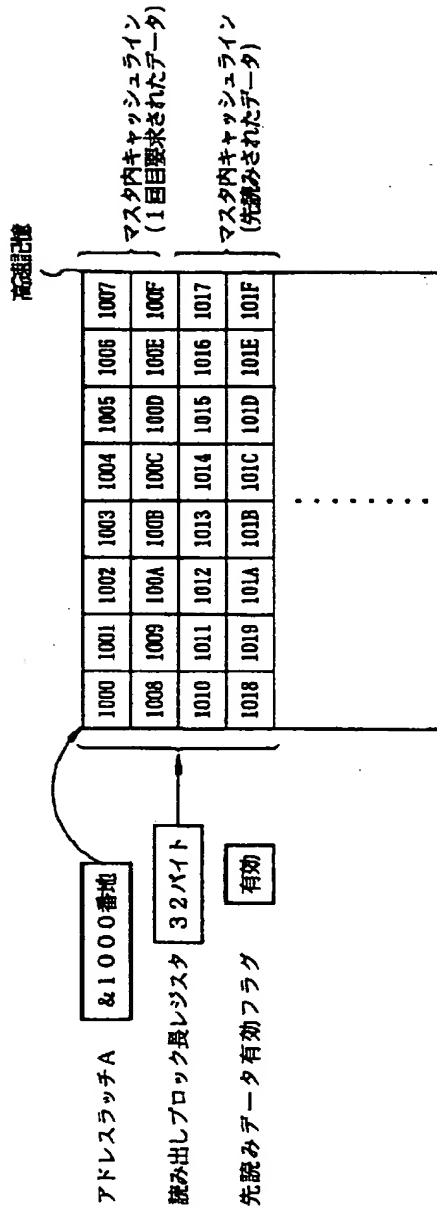
【図13】



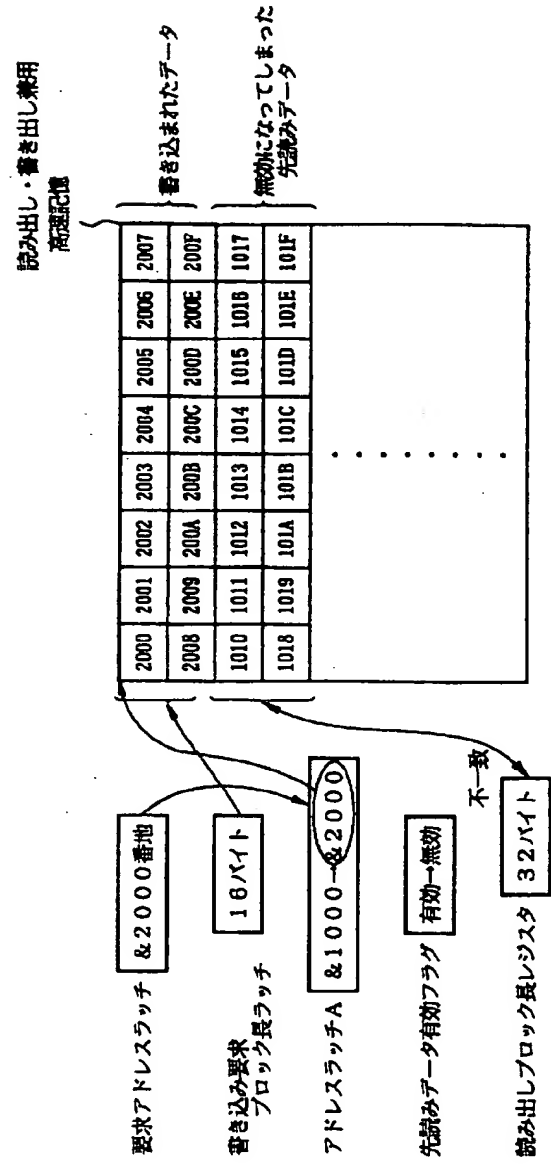
【図14】



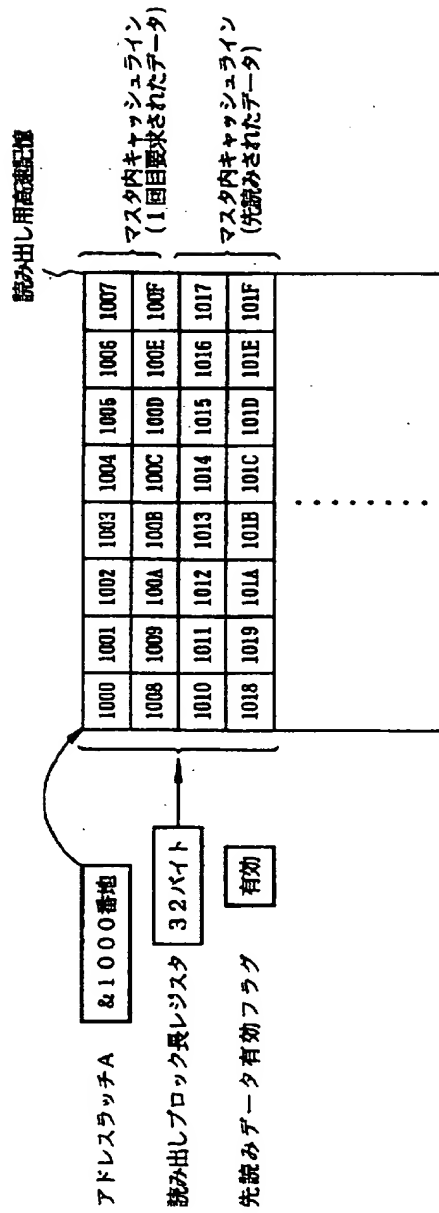
【図9】



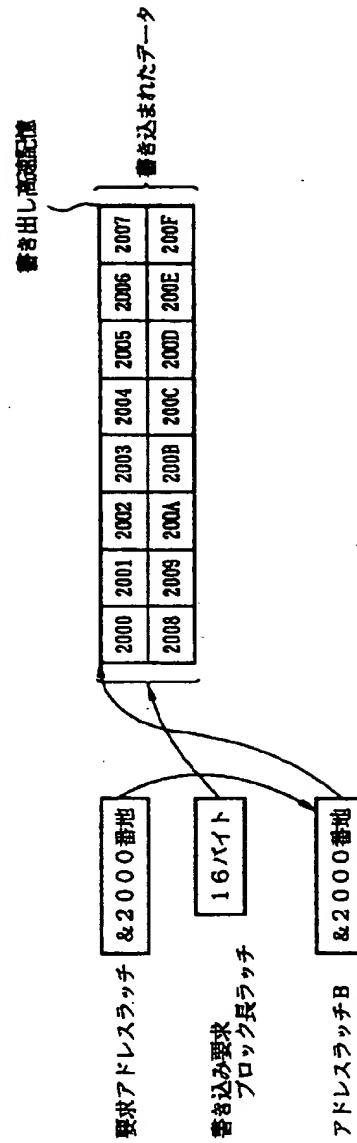
【図10】



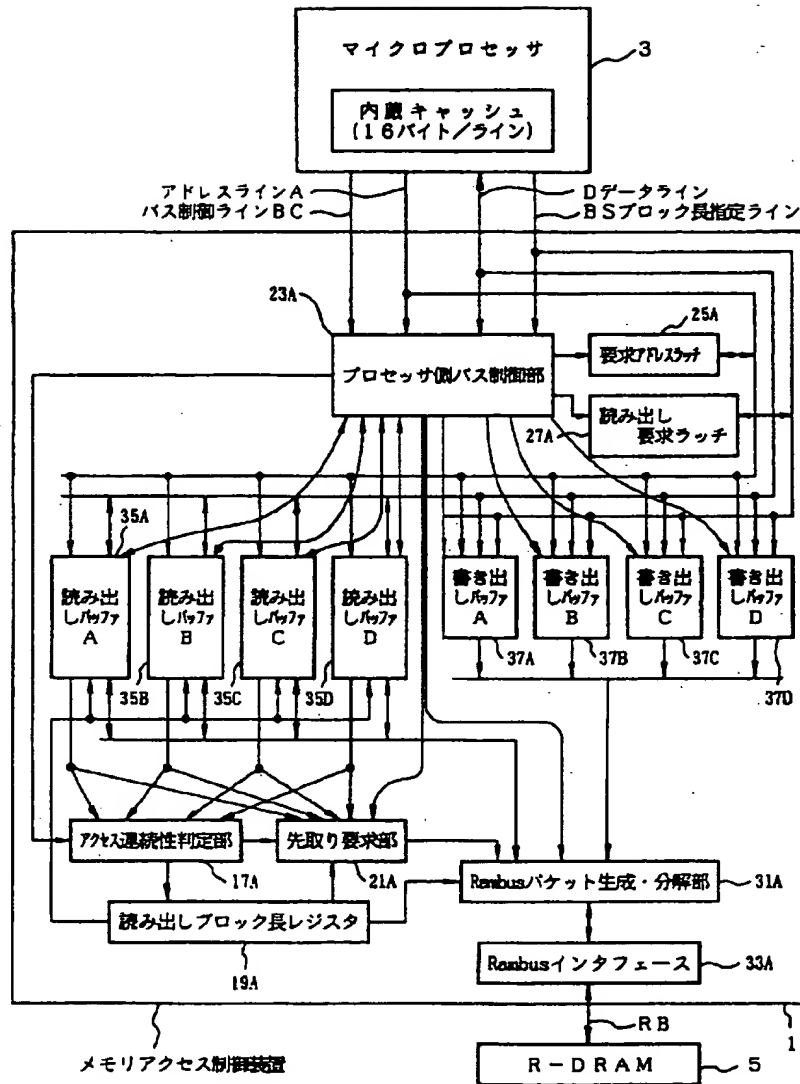
【図11】



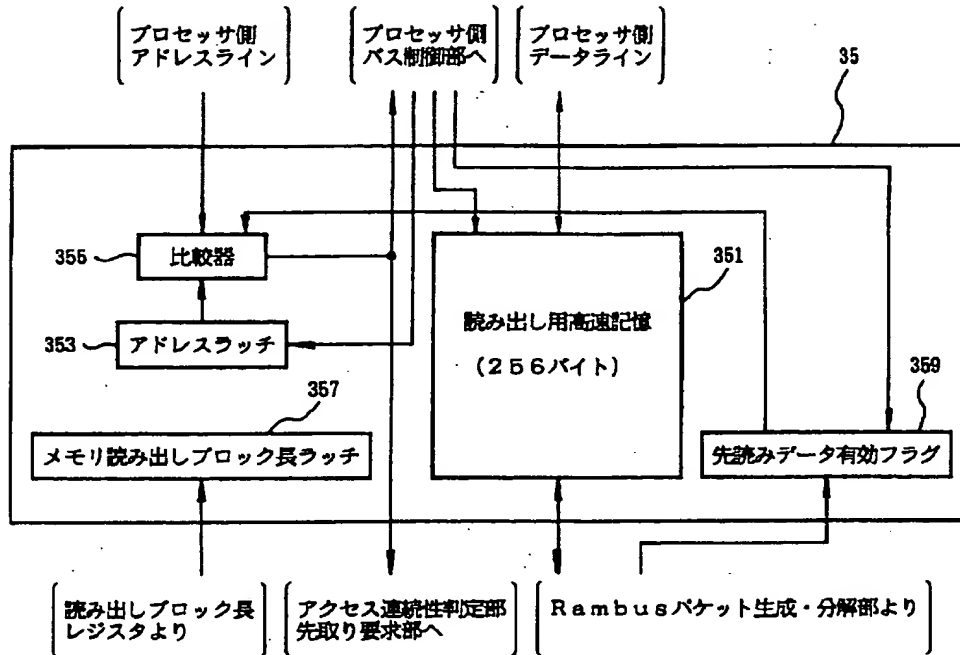
【図12】



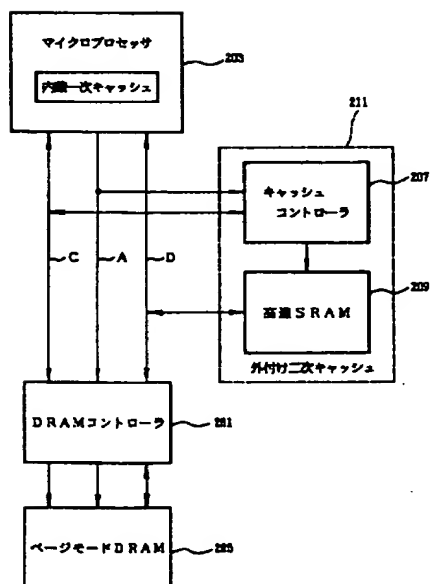
【図15】



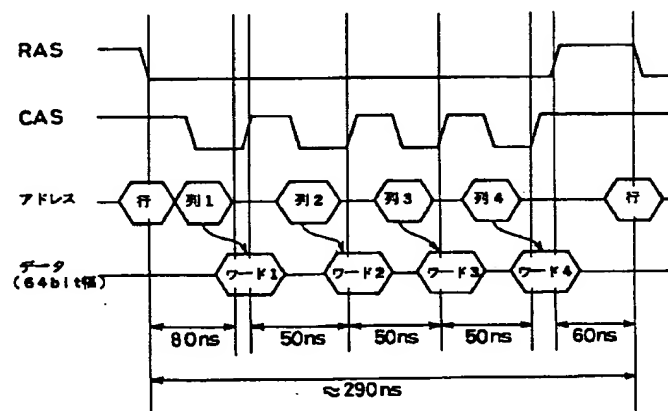
【図16】



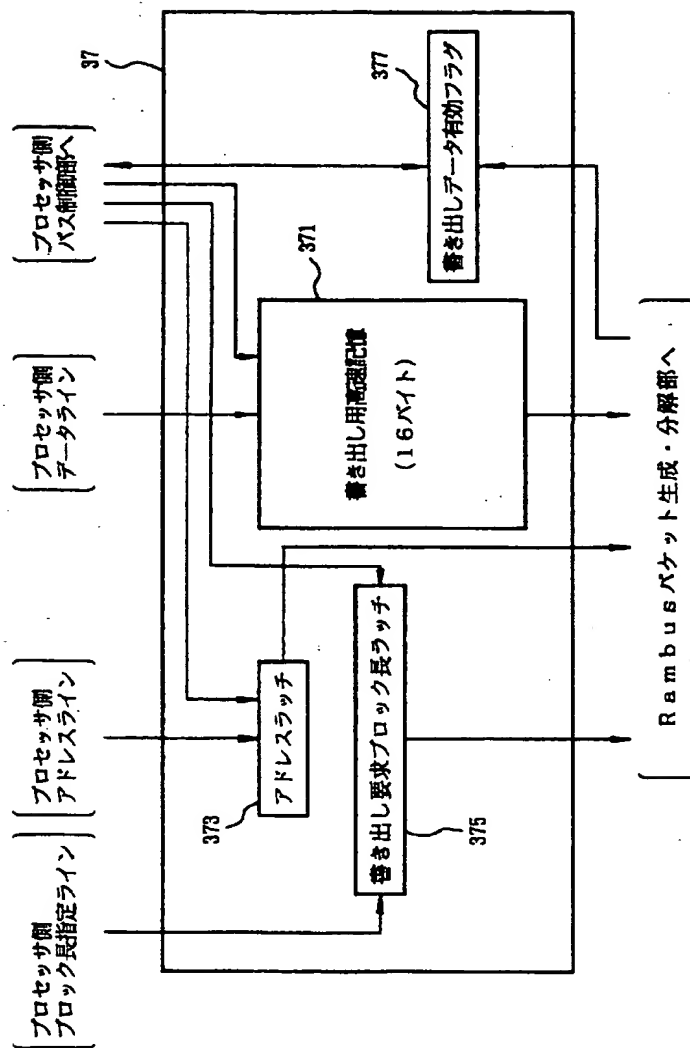
【図18】



【図19】



【図17】



【図20】

